

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(11)特許出願公開番号

(43)公開日 平成10年(1998)7月21日

330A

671B

(74) 代理人 井理士 三好 秀和 (外1名)

[illegible]

(2)

特開平10-187554

1

【特許請求の範囲】

【請求項1】 複数のメモリブロックと、

テストモード信号に応じて前記複数のメモリブロックのアドレス、制御信号、データをノーマル/テストに選択するための複数の選択手段と、

前記複数のメモリブロックに書き込むデータと比較するための比較データを発生する複数のバックグラウンド発生手段と、

前記テストモード信号に応じて前記複数のメモリブロックから読み出されたデータと前記比較データとを入力して比較し、その比較結果を出力する複数の比較手段と、前記複数の比較手段の各出力を組み合わせることでテスト結果を発生する組合せ手段と、

前記テストモード信号に応じて、前記複数の選択手段にテスト用アドレス及び制御信号を提供し、前記複数のバックグラウンド発生手段にバックグラウンド番号と出力反転制御信号を提供し、前記複数の比較手段に比較制御信号を提供するテスト制御手段とを備えることを特徴とする自己テスト回路を有する半導体メモリ装置。

【請求項2】 前記複数のメモリブロックは互いに異なるサイズを有することを特徴とする請求項1記載の自己テスト回路を有する半導体メモリ装置。

【請求項3】 前記テスト制御手段はSOAアルゴリズムを行うことを特徴とする請求項1記載の自己テスト回路を有する半導体メモリ装置。

【請求項4】 前記テスト制御手段は、ステージ段階をカウントする第1カウンタと、アドレスをカウントするアドレスポインタ用第2カウンタと、アドレスバックグラウンド番号をカウントする第3カウンタと、データバックグラウンド番号をカウントする第4カウンタと、

前記第1から第4カウンタと交信しながらSOAアルゴリズムを行ってテスト動作サイクルを発生するサイクル制御部と、

前記第1カウンタのステージ情報と前記第3カウンタのアドレスバックグラウンド情報と前記サイクル制御部の出力に応じてテスト完了信号、テスト書き込み制御信号、バックグラウンド制御信号、比較制御信号を発生する制御信号発生部と、前記サイクル制御部の出力、前記第2から第4カウンタの出力を組み合わせることで前記複数のメモリブロックの各テストイネーブル信号を発生するテストイネーブル発生部とを備えることを特徴とする請求項1記載の自己テスト回路を有する半導体メモリ装置。

【請求項5】 前記テストイネーブル信号は、前記複数のメモリブロックの最終アドレス値より前記アドレスポインタの値がさらに小さく、アドレスバックグラウンドサイズよりアドレスバックグラウンド値がさらに小さく、データバックグラウンドサイズよりデータバックグラウン

2

ド値が小さい場合には活性状態を保持し、その他の場合には非活性状態を有することを特徴とする請求項4記載の自己テスト回路を有する半導体メモリ装置。

【請求項6】 前記サイクル制御部は、初期化サイクル、読出しサイクル、書き込みサイクル、ステージインクリメントサイクル、アドレス及びデータバックグラウンド番号インクリメントサイクル、及び終了サイクルを含むことを特徴とする請求項4記載の自己テスト回路を有する半導体メモリ装置。

10 【請求項7】 前記各バックグラウンド発生手段は、前記バックグラウンド制御信号と前記第4カウンタのバックグラウンド番号に応じて前記比較データを発生することを特徴とする請求項4記載の自己テスト回路を有する半導体メモリ装置。

【請求項8】 前記各比較手段は、対応のメモリから出力されるデータと前記バックグラウンド発生手段から発生された比較データとを入力して比較し、前記比較制御信号に応じてテストエラー信号を出力することを特徴とする請求項4記載の自己テスト回路を有する半導体メモリ装置。

20 【請求項9】 前記組合せ手段は、前記各比較手段のテストエラー信号を論理和する論理和ゲートから構成されていることを特徴とする請求項4記載の自己テスト回路を有する半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は自己テスト回路を有する半導体メモリ装置に係り、特にコントローラを共有して、コントローラと多数のメモリブロックとの間の相互接続を最小化することにより費用節減に供し、多数のRAMを同時にテストすることのできる自己テスト回路を有する半導体メモリ装置に関する。

【0002】

【従来の技術】半導体製造技術の急激な発達によって、集積度は一つのチップにシステムが納められる程度に至っている。これにつれて、内蔵されたRAMの使用がサイズと個数の面で増加しており、そのテストが大きな問題となっている。

【0003】一般に、内蔵されたRAMのテスト方法は、テストパターンの生成場所によって2種類に区別される。第1はテスト装置によるものであり、第2はBIST(Built-In Self Test)回路によるものである。

【0004】まず、テスト装置による方法は、多様なテストパターンを用いたテストが容易に行えるという長所がある。しかし、テストモードにおいてRAMのアドレスデータ入力、データ出力、制御信号をテスト装置が管理するために、RAMの全てのポートがテスト装置のアクセス可能なピンまで連結されなければならないので、ルーティング(routing)とピンの使用にオーバーヘッドが伴う。また、ピンをマルチプレックスして使用する場

50

3

合には、RAMを同時にテストすることができないのでテスト時間が増加する。

【0005】BIST方法では外部でBISTモードを設定すると、BIST回路が駆動され、RAMを定められたテストパターンを加えてテストした後、エラーが発生したか否かだけを出力する。したがって、RAMのテストのためにピンへの連結を必要とする信号が最小化され、RAMを同時にテストすることができるので、テスト時間が減少するという長所がある。しかし、テストパターンを生成する回路がハードウェアで実現されてチップ内部に追加されるので、チップ面積にオーバーヘッドが発生しテストパターンが固定されるという短所がある。

【0006】

【発明が解決しようとする課題】本発明はこのような従来の問題点を解決するために案出されたもので、その目的は、多様なサイズを有する多くの内蔵されたRAMをテストするために一つのコントローラを共有することによって、相互接続を最小化して多数のRAMを同時にテストすることのできる自己テスト回路を有する半導体メモリ装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の自己テスト回路を有する半導体メモリ装置は、複数のメモリブロックと、テストモード信号に応じて前記複数のメモリブロックのアドレス、制御信号、データをノーマル/テストに選択するための複数の選択手段と、前記複数のメモリブロックに書き込むデータと比較するための比較データを発生する複数のバックグラウンド発生手段と、前記テストモード信号に応じて前記複数のメモリブロックから読み出されたデータと前記比較データとを入力して比較し、その比較結果を出力する複数の比較手段と、前記複数の比較手段の各出力を組み合わせるテスト結果を発生する組合せ手段と、前記テストモード信号に応じて、前記複数の選択手段にテスト用アドレス及び制御信号を提供し、前記複数のバックグラウンド発生手段にバックグラウンド番号と出力反転制御信号を提供し、前記複数の比較手段に比較制御信号を提供するテスト制御手段とを備えることを特徴とする。

【0008】

【発明の実施の形態】以下、添付図面を参照して本発明をより詳細に説明する。

【0009】図1は本発明による自己テスト回路を有する半導体メモリ装置の構成を示す。図1の装置はR1、R2、R3に対するメモリブロックと、テストモード信号BIST_MODEに応じて前記各メモリブロックのアドレス、制御信号、データをノーマル/テストに選択するための複数の選択手段MUX1、MUX2、MUX3と、各メモリブロックに書き込むデータと比較するための比較データを発生する複数のバックグラウンド発生

(3)

特開平10-187554

4

手段BG1、BG2、BG3と、前記テストモード信号BIST_MODEに応じて各メモリブロックから読み出されたデータと前記比較データを入力して比較し、その比較結果を出力する複数の比較手段COMP1、COMP2、COMP3と、前記複数の比較手段の各テストエラー信号を論理和してテストの結果を発生する論理和ゲートG1と、前記テストモード信号BIST_MODEに応じて、前記複数の選択手段MUX1、MUX2、MUX3にテスト用アドレスtA5、tA8及び制御信号tWENを提供し、前記複数のバックグラウンド発生手段BG1、BG2、BG3にバックグラウンド番号BGNと出力反転制御信号INV_BGを提供し、前記複数の比較手段COMP1、COMP2、COMP3に比較制御信号COMPAREを提供するテスト制御手段100とを含んでいる。

【0010】前記複数のメモリブロックR1、R2、R3は互いに異なるサイズを有し、各メモリブロックは一つのテスト制御手段100を共有することで相互接続構造の費用を最小化するように設計されている。

【0011】前記テスト制御手段100は、SOA(Single Order Addressing)アルゴリズムの実現のためにステージ0からステージ3をカウントする第1アップカウンタ10と、テストアドレスをカウントするアドレスポインタ(AP)用第2アップカウンタ20と、アドレスバックグラウンド番号(ABP)をカウントする第3アップカウンタ25と、データバックグラウンド番号(DBP)をカウントする第4アップカウンタ30と、前記第1から第4アップカウンタ10、20、25、30と交信しながらSOAアルゴリズムDMFを行ってテスト動作サイクルを発生するサイクル制御部40と、前記第1アップカウンタ10のステージ情報と第3アップカウンタ25のアドレスバックグラウンド情報とサイクル制御部40の出力に応じてテスト完了信号DONE、テスト書き込み制御信号tWEN、バックグラウンド制御信号INV_BG、比較制御信号COMPAREを発生する制御信号発生部50と、アドレスポインタ情報、前記サイクル制御部40の出力、第3アップカウンタ25の出力、第4アップカウンタ30の出力を組み合わせる複数のメモリブロックの各テストイネーブル信号TEN1、TEN2、TEN3を発生するテストイネーブル発生部70とを含んでいる。

【0012】前記メモリブロックがN個であれば、 $1 \leq i \leq N$ に対してアドレスサイズ(Address Size(Ri))がメモリブロック(Ri)のアドレスラインのビット数であり、最終アドレス(Last Address(Ri))がアドレスの最大値であり、ABGSize(Ri)がアドレスバックグラウンド個数であり、DBGSize(Ri)がデータバックグラウンド個数であり、ワードサイズラストバックグラウンドがデータ入出力のビット数であるとき、前記制御信号発生部50の各制御信号、テスト完了信号D

(4)

特開平10-187554

5

6

ONE、テスト書き込み制御信号 $tWEN$ 、バックグラウンド制御信号 INV_BG 、比較制御信号 $COMPARE$ は次の式で定義される。

【0013】

【数1】

$$INV_{sc} = \begin{cases} [STAGE[0] \oplus tWEN] \oplus AP[ABP-1] \oplus tWEN \oplus STAGE[0] & \text{when } ABP=0 \\ AP[ABP-1] \oplus tWEN \oplus STAGE[0] & \text{else} \end{cases}$$

前記テストイネーブル信号 TEN_i は、各メモリブロックの最終アドレス値より前記アドレスポインタの値がさらに小さく、アドレスバックグラウンドサイズよりアドレスバックグラウンド値がさらに小さく、データバックグラウンドサイズよりデータバックグラウンド値が小さい 10

い場合には活性状態を保持し、その他の場合には非活性状態を有する。これをまとめて表現すれば次の式になる。

【0014】

【数2】

$$TEN_i = \begin{cases} '0' & \text{when } AP \leq \text{Last Address}(R_i) \text{ and } ABP \leq \text{Size}(R_i) \\ & \text{and } DBP \leq \text{DBGSize}(R_i) \\ '1' & \text{else} \end{cases}$$

前記テストアドレス信号は AP 信号のうち RAM のアドレスラインのサイズだけのみ連結すればよく、アドレスは増加する変化のみを有する。

比較し、前記比較制御信号 $COMPARE$ に応じて対応するメモリブロックのテストエラー信号を出力する。

【0018】

【0015】前記制御信号発生部50は図2に示すように、第1から第4アップカウンタ10、20、25、30の値を初期化させる初期化サイクル($int1$)、メモリブロックからテストデータ $M(tA)$ を読出し、読み出されたデータと前記比較するデータとを比べる読出しサイクル($read$)、バックグラウンド発生手段にテストデータを書き込む書き込みサイクル($write$)、ステージ0と3で読取りと書き込みのみを行うためのサイクルステージ03($stage03$)、ステージインクリメントサイクル(inc_stage)、バックグラウンド番号インクリメントサイクル(inc_bdg)、及び終了サイクル($final$)を含んでいる。

【発明の効果】以上述べたように、本発明の自己テスト回路を有する半導体メモリ装置では、多様なサイズを有する多くの内蔵された RAM をテストするために一つのコントローラを共有して相互連結費用を最小にすることができる。

【図面の簡単な説明】

【図1】本発明による自己テスト回路を有する半導体メモリ装置の構成を示すブロック図である。

【図2】図1のサイクル制御部で実行される SOA (Single Order Addressing) アルゴリズムを示す図である。

【符号の説明】

- 10 第1アップカウンタ
- 20 第2アップカウンタ
- 25 第3アップカウンタ
- 30 第4アップカウンタ
- 40 サイクル制御部
- 50 制御信号発生部
- 70 テストイネーブル発生部
- 100 制御手段

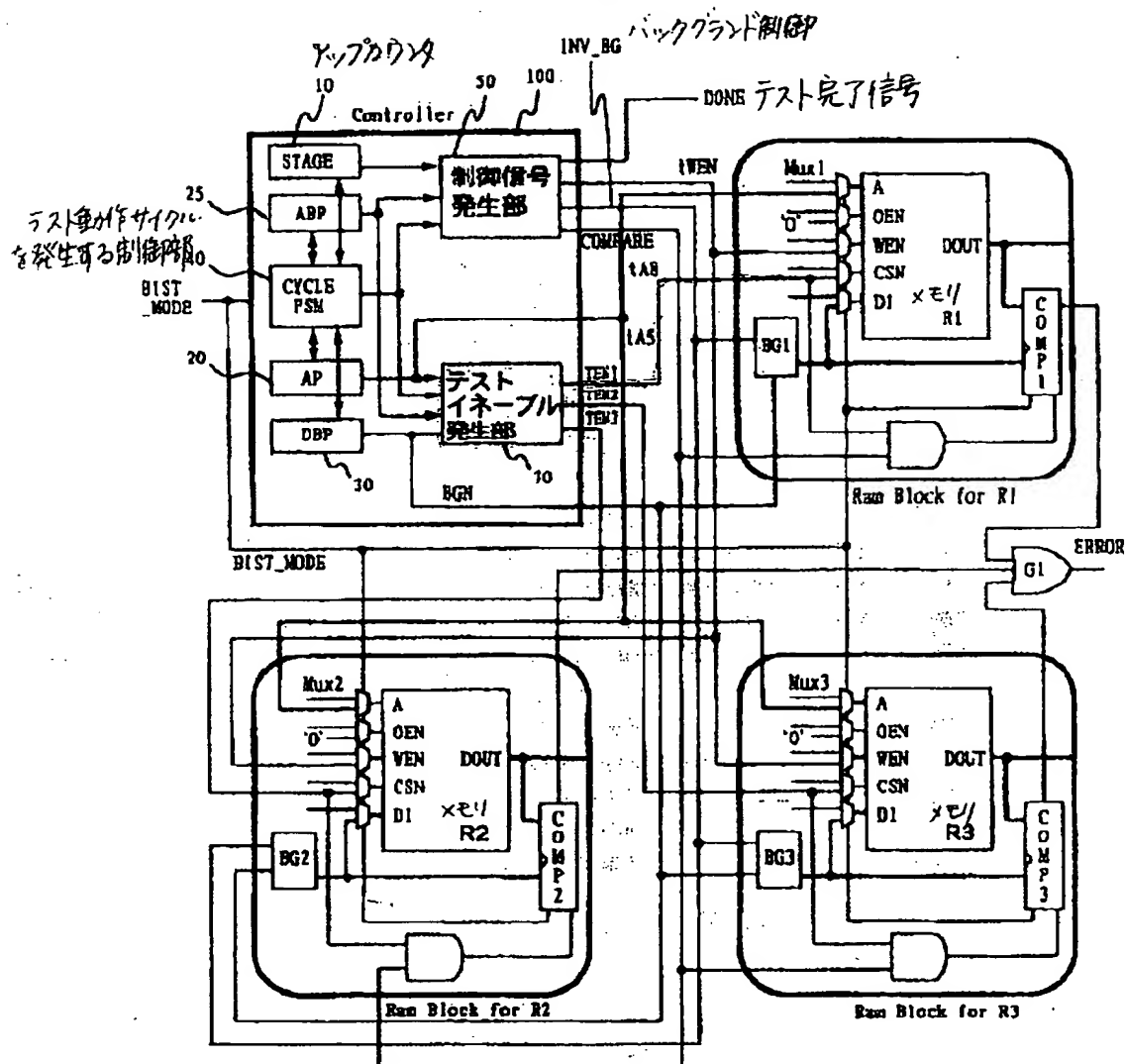
【0016】前記各バックグラウンド発生手段 BG_i は前記バックグラウンド制御信号 INV_BG と前記第4アップカウンタ30のバックグラウンド番号 BGN に応じて比較データを発生する。

【0017】前記各比較手段 $COMP_i$ は対応のメモリブロック R_i から出力されるデータとバックグラウンド発生手段 BG_i から発生された比較データとを入力して

(6)

特開平10-187554

【図1】



(6)

特開平10-187554

【図2】

Algorithm	State (CYCLE)
for each data background in DBP	init
for each address background in ABP	
for each STAGE from 0 to 3	
for each Address	stage03
if (STAGE=0) Write ADB	
if (STAGE=1)	read
Read ADB and Compare	write
Write ADB'	
if (STAGE=2)	read
Read ADB' and Compare	write
Write ADB	stage03
if (STAGE=3) Read ADB and Compare	inc_stage
end for	inc_adb
end for	inc-dbg
end for	final
end for	